

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:57/蓄積18:53/文書番号4807405255 P 17

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-256390

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)11月13日

Publication Date: (Nov. 13, 1986)

G 09 G 3/36  
G 02 F 1/133  
H 03 K 7/02  
H 04 N 5/65

1 2 9

Z-7348-211

7259-5J

1 0 2

7245-5C

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 液晶パネル駆動用制御パルス発生回路

⑮ 特 願 昭60-99819

⑯ 出 願 昭60(1985)5月10日

⑰ 発 明 者 高 橋 公 代 門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地  
⑲ 代 理 人 弁理士 中尾 敏男 外1名

2 ページ

## 明 細 書

## 1. 発明の名称

液晶パネル駆動用制御パルス発生回路

## 2. 特許請求の範囲

1 水平走査期間の映像信号を時分的にサンプリングし、次の1水平走査の期間ホールドする映像信号サンプルホールド回路に加えられる制御パルスとして、2つの2水平周期の制御パルスを有し、かつこの2つの制御パルスがともにオフである期間を上記サンプルホールド回路を構成する素子の適当なスイッチング時間より大きくしたことを特徴とする液晶パネル駆動用制御パルス発生回路。

## 3. 発明の詳細な説明

発明上の利用分野

本発明は、サンプルホールド回路を有する液晶パネル駆動回路に制御パルスを供給するための制御パルス発生回路に関するものである。

従来の技術

近年、液晶パネルを表示素子とした液晶テレビ

ジョン受像機が開発されている。この液晶テレビジョン受像機の動作の概要についてまず説明する。

図3図に液晶テレビジョン受像機の一般的な構成を示す。放送局から送られたテレビ信号はアンテナ1で受信され、チューナ2で周波数変換され中間周波数となる。中間周波数に整換されたテレビ信号は、信号処理回路部3で増幅、被放され音声信号と映像信号とが得られる。音声信号は音声出力回路4を経てスピーカ5に出力される。映像信号は、クロマ部6に印加される。クロマ部6にはクロマ処理部とクロマ出力部とがあり、映像信号はクロマ処理部でR、G、B信号に復調され、その後クロマ出力部で1フィールド毎に極性を反転させられた信号に変換され、エドワイパー兼復回路9に加えられる。(以下集積回路をICと略す)。エドワイパーIC8に加えられる映像信号は、サンプルホールドされてアクティブマトリクス液晶パネル10のソースラインに印加される。また映像信号は制御パルス発生回路7に加えられる。ここで各種制御パルスが得られ、エドワイパーIC

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:57/審議18:53/文書番号4807405255 P 18

特開2006-256390 (2)

3. 4. 1

10、及びXドライバーIC10の制御信号入力端子に印加される。XドライバーIC10は、たて方向の走査を行なうためのものであり、この出力はアクティブマトリクス液晶パネルBのゲートラインに加えられる。XドライバーIC10からのたて方向走査パルスとYドライバーIC9からの映像信号とによって、アクティブマトリクス液晶パネルB上にテレビ画像が得られる。

次に、第3図に示すYドライバーIC9の動作と制御パルス発生回路7からの制御パルスの関係について説明する。第4図にYドライバーIC9、及び制御パルス発生回路7の構成の一例を示す。本例では制御パルス発生回路7からYドライバーIC9の制御パルスとして、 $\phi_Y, G_1, G_2, S$  が加えられている。クロム部からのR, G, B信号はR, G, B端子に加えられ、アナログマルチプレクサ11により1水平周期毎に切り換えられ3本の映像信号ライン12に導かれる。アナログマルチプレクサ11は、液晶パネルのR, G, B段差配列に応じた切換動作を行なう。13はシフトレジスタで

あり、制御パルス発生回路からのクロック $\phi_Y$ とスタートパルスSを入力とし、サンプリングパルス $\phi_1, \phi_2, \dots$ を順次出力する。14はサンプルホールド回路及びオペアンプであり、映像信号ライン12の映像信号をシフトレジスタからのサンプリングパルス $\phi_1, \phi_2, \dots$ によってサンプリングし、制御パルス発生回路から加えられる $G_1, G_2$ パルスによってホールド動作を行なうものである。サンプルホールド回路及びオペアンプ14の出力はYドライバーIC9の出力端子 $Y_{01}, Y_{02}, \dots$ に接続されており、この出力端子 $Y_{01}, Y_{02}, \dots$ はアクティブマトリクス液晶パネルのソースラインに接続されている。第4図におけるサンプルホールド回路及びオペアンプの1つの回路(14番目)及び制御パルス発生回路を第5図に示し、第6図にそのタイミングチャートを示す。

第5図において、7は制御パルス発生回路、15は映像入力端子、16, 17, 18, 19, 20はそれぞれ制御信号 $Q_a, G_1, G_2, G_2, G_1$ によって制御されるスイッチング素子、 $C_{aa}, C_{ab}$ はサ

5. 4. 1

ンプルホールド用コンデンサ、21はバッファアンプ、22は映像出力端子である。

以上のように構成された従来の液晶パネル駆動用制御パルス発生回路及びサンプルホールド回路について、第6図のタイミングチャートに基づきその動作を説明する。

$V_{1a}$ は映像入力端子15に加えられる入力信号の波形であり1水平周期を1Hで表わしてある(以下、1水平周期は1Hと略す)。 $G_1, G_2$ は制御パルス発生回路7から加えられるサンプルホールド回路の制御パルスであり、 $G_1, G_2$ とも周期は2水平周期であり、位相は互いに $\pi$ だけずれている。また、 $G_1$ の立下りと $G_2$ の立上り、及び $G_1$ の立上りと $G_2$ の立下りとはタイミングが一致している。 $Q_a$ は1Hの映像信号を時分割したときのn番目のサンプリングパルスであり、液晶パネルのn列目に供給する映像信号の情報をサンプリングするものである。 $V_{aa}, V_{ab}$ はそれぞれサンプルホールドコンデンサ $C_{aa}, C_{ab}$ に

5. 4. 1

出力信号の波形である。映像出力端子22は液晶パネルのn列目の電荷(図示せず)に接続される。

タイミングチャートにおいて、 $t_1$ の期間は $G_1$ がオンで $G_2$ がオフであるから、サンプルホールドコンデンサ $C_{ab}$ の電荷が映像出力端子22に伝えられるとともに、サンプルホールドコンデンサ $C_{aa}$ にはサンプリングパルス $Q_a$ によって映像信号情報がサンプリングされる。次に、 $t_2$ の期間は $G_1$ がオフで $G_2$ がオンであるから、 $t_1$ 期間にサンプリングされた $C_{aa}$ の電荷が映像出力端子22に伝えられるとともに $C_{ab}$ には $Q_a$ のサンプリングパルスによって映像信号情報がサンプリングされる。

以下 $t_3, t_4, \dots$ の期間はそれぞれ $t_1, t_2$ の期間と同様の動作を繰り返す。

説明が解決しようとする問題点

しかしながら、このような従来の回路では、制御パルス発生回路からのサンプルホールド制御パルス $G_1, G_2$ において $G_1$ の立下りと $G_2$ の立上

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:57/審判18:53/文書番号4807405255 P 19

特開昭61-256300(3)

7ページ

グが一過しているのに対し、サンプルホールド動作を行っているスイッチ17、18、19、20を構成している素子(例えばMOSのアナログスイッチなど)の過渡的なスイッチング時間はゼロではないため、 $G_1$ 、 $G_2$ が切り換わる際 $G_1$ 、 $G_2$ 両方ともがオンになってしまう期間が存在し、

$V_{na}$ 、 $V_{nb}$ 間にクロストークが発生し、映像出力端子22には正確な映像信号情報が伝達されない、という問題点を有していた。第6図の例では、 $t_3$ の期間に $V_{out}$ として $V_{nb}$ の信号が出力されねばならぬのに $V_{na}$ の影響を受け正確な情報が得られていない。

本発明は上記問題点を鑑み、2つのサンプルホールド電圧 $V_{na}$ 、 $V_{nb}$ 間にクロストークがなく、YドライバーICの映像出力端子22に正確な映像信号情報を伝達する液晶パネル駆動用制御パルス発生回路を提供することを目的としている。

問題点を解決するための手段

上記問題点を解決するため、本発明の液晶パネル駆動用制御パルス発生回路は、1水平走査期間

の映像信号を時分割的にサンプリングし、次の1水平走査の期間ホールドする。YドライバーIC内映像信号サンプルホールド回路に加えられる制御パルスとして、2つの2水平周期の制御パルスを有し、かつこの2つの制御パルスがともにオンである期間をサンプルホールド回路を構成する素子の過渡的なスイッチング時間より大きくしたものである。

作 用

本発明は上記した構成により、2つのサンプルホールド制御パルスが切り換わる際、ある有限期間だけこの両パルスが共にオンとなり、そのあとでどちらかがオンとなるので、2つのサンプルホールドされた電圧間にクロストークは発生せず、映像出力端子に正確な映像信号情報を伝達できることとなる。

実施例

以下本発明の一実施例の液晶パネル駆動用制御パルス発生回路について、図面を参照しながら説明する。

8ページ

第1図は本発明の一実施例を示す構成図、第2図はそのタイミングチャートである。構成そのものは第5図のものと同一である。すなわち第1図において7は制御パルス発生回路、15は映像入力端子、16、17、18、19、20はそれぞれ制御信号 $Q_n$ 、 $G_1$ 、 $G_2$ 、 $G_2$ 、 $G_1$ によって制御されるスイッチング素子、 $C_{na}$ 、 $C_{nb}$ はサンプルホールド用コンデンサ、21はバッファアンプ、22は映像出力端子である。

以上のように構成された液晶パネル駆動用制御パルス発生回路及びサンプルホールド回路について以下第2図タイミングチャートに基づきその動作を説明する。

$V_{in}$ は映像入力端子15に加えられる入力信号の波形であり、1水平周期を1Hで表わしてある。 $G_1$ 、 $G_2$ は制御パルス発生回路からYドライバーICに加えられるサンプルホールド回路の制御パルスであり、 $G_1$ 、 $G_2$ とも周期は2水平周期であり、位相は互いに $\pi$ だけずれている。また $G_2$ の

10ページ

$G_2$ の立上りの間、すなわち $G_1$ 、 $G_2$ の両方ともがオンである期間を有限値 $t_1$ だけとっている。そしてこの $t_1$ の値はサンプルホールド回路を構成する素子、つまりスイッチング素子17、18、19、20の過渡的なスイッチング時間よりも大きくとってある。

$Q_n$ は1Hの映像信号を時分割したときのn番目のサンプリングパルスであり、液晶パネルのn列目に供給する映像信号の情報をサンプリングするものである。 $V_{na}$ 、 $V_{nb}$ はそれぞれサンプルホールドコンデンサ $C_{na}$ 、 $C_{nb}$ にかかる電圧であり、 $V_{out}$ は映像出力端子22の出力信号の波形である。映像出力端子22は液晶パネルのn列目電極(図示せず)に接続される。

タイミングチャートにおいて、 $t_1$ の期間は $G_1$ がオンで $G_2$ がオフであるから、サンプルホールドコンデンサ $C_{nb}$ の情報が映像出力端子22に伝えられるとともに、サンプルホールドコンデンサ $C_{na}$ にはサンプリングパルス $Q_n$ によって映像信

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:57/蓄積18:53/文書番号4807405255 P 20

特開昭61-256330(4)

11 ページ

がオフで $G_2$ がオンであるから、 $t_1$ 期間にサンプリングされた $C_{nb}$ の情報が映像出力端子22に伝えられるとともに $C_{nb}$ には $C_n$ のサンプリングパルスによって映像信号情報がサンプリングされる。

以下、 $t_3, t_4, \dots$ の期間はそれぞれ $t_1, t_2$ の期間と同様の動作を繰り返す。

本発明による液晶パネル駆動用制御パルス発生回路では、サンプルホールド動作期間 $t_1, t_2, t_3, t_4, \dots$ の間にサンプルホールド制御パルス $G_1, G_2$ がともにオフである期間 $t$ を設けているため、サンプルホールド電圧 $V_{na}, V_{nb}$ はサンプリング期間が完全に終了したあとでホールド期間に移行することになる。

以上のように、本実施例によれば、2つのサンプルホールド制御パルス $G_1, G_2$ がともにオフである期間 $t$ を、サンプルホールド回路を構成する素子の過渡的なスイッチング時間より大きく設定したことにより、従来回路で問題となっていた2つのサンプルホールド電圧 $V_{na}, V_{nb}$ 間のクロス

トークをなくし、映像出力端子22に正確な映像信号情報を伝達することができる。

サンプルホールド回路を構成する素子としてアルミゲートMOSによるスイッチ回路を使用した場合、その過渡的なスイッチング期間は $50\text{ns} \sim 100\text{ns}$ 程度となるので、制御パルス発生回路からのサンプルホールド制御パルス $G_1, G_2$ がともにオフとなる期間を $2 \sim 3\mu\text{s}$ 程度に設定すればよい。

#### 発明の効果

以上のように、本発明の液晶パネル駆動用制御パルス発生回路によれば、1Hの映像信号を時分割的にサンプリングし、次の1Hの期間ホールドする映像信号サンプルホールド回路に加えられる制御パルスとして、2つの2水平周期の制御パルスを有し、かつこの2つの制御パルスの両方ともがオフである期間をサンプルホールド回路を構成する素子の過渡的なスイッチング時間より大きく設定したことにより、従来回路で問題となっていた2つのサンプルホールド電圧間のクロス

13 ページ

をなくし、映像出力端子に正確な映像信号情報を伝達することができるとができる。

#### 4、図面の簡単な説明

第1図は本発明の一実施例における液晶パネル駆動用制御パルス発生回路を示すブロック図、第2図はそのタイミングチャート、第3図は液晶テレビジョン受像機の一般的な構成図、第4図はYドライバIC及び制御パルス発生回路の構成の一例を示す図、第5図は従来例の液晶パネル駆動用制御パルス発生回路を示すブロック図、第6図はそのタイミングチャートである。

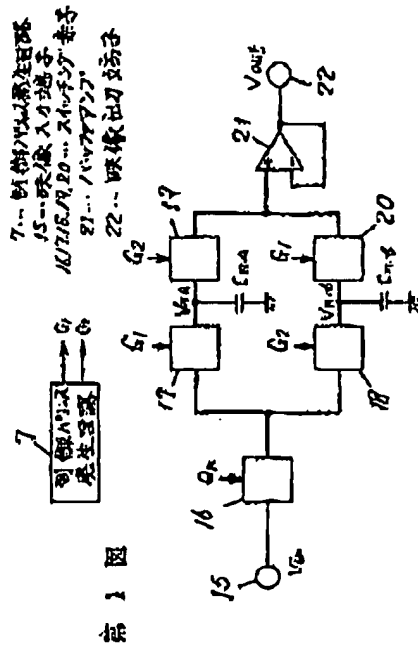
1 ……制御パルス発生回路、15 ……映像入力端子、16, 17, 18, 19, 20 ……スイッチング素子、21 ……バッファアンプ、22 ……映像出力端子。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

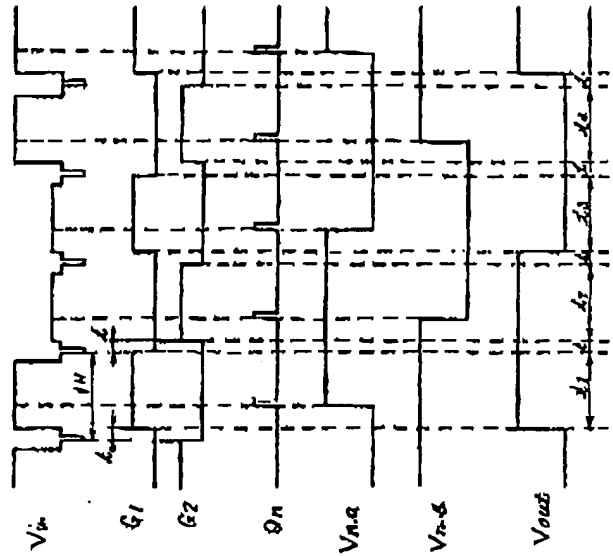
FROM HARAKENZO PAT.

2006年 1月27日(金) 18:57/蓄積18:53/文書番号4807405255 P 21

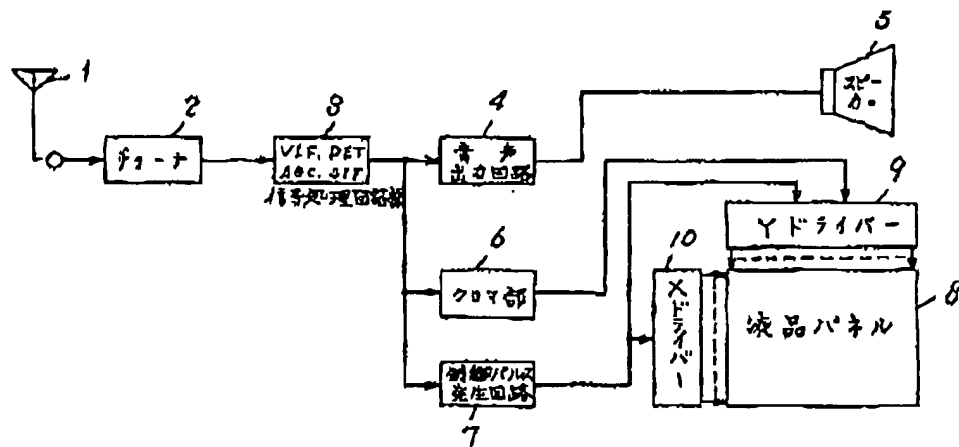
特開明61-256390 (5)



第 2 図



第 3 図





FROM HARAKENZO PAT.

2006年 1月27日(金) 18:58/審判18:53/文審番号4807405255 P 23

昭 62. 8. 4 発行

手続補正書

昭和 62 年 5 月 13 日

特許庁長官殿



## 特許法第17条の2の規定による補正の掲載

昭和 60 年特許願第 99819 号(特開 昭 61-256390 号, 昭和 61 年 11 月 11 日 発行 公開特許公報 61-2561 号掲載)については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 6 ( ? )

Int. Cl. 1	識別記号	庁内整理番号
G09G 3/38		8621-5C
G02F 1/133	129	Z-7348-2H
H03K 7/02		7259-5J
H04N 3/86	102	7245-5C

## 1 事件の表示

昭和 60 年 特 許 願 第 99819 号

## 2 発明の名称

液晶パネル駆動用制御パルス発生回路

## 3 補正をする者

事件との関係

特 許 出 願 人

住 所

大阪府門真市大字門真1006番地

名 称

(582) 松下電器産業株式会社

代 表 者

谷 井 昭 雄

## 4 代 理 人

〒 571

住 所

大阪府門真市大字門真1006番地

松下電器産業株式会社内

氏 名

(5971) 弁理士 中 尾 敏 男

(ほか 1 名)

(連絡先 電話(東京)427-1121(東京法務局))

## 5 補正の対象

明細書の発明の詳細な説明の欄

## a. 補正の内容

(1) 明細書第4頁第3行の「 $\theta_1, \theta_2$ 」を「 $Q_1, Q_2$ 」に補正します。

(2) 同第4頁第6行の「 $\theta_1, \theta_2$ 」を「 $Q_1, Q_2$ 」に補正します。

\*\*\*\*\*  
\*\*\* RX REPORT \*\*\*  
\*\*\*\*\*

## RECEPTION OK

TX/RX NO	9742
RECIPIENT ADDRESS	6174394170
DESTINATION ID	
ST. TIME	01/27 14:05
TIME USE	07'01
PGS.	39
RESULT	OK